



1

## 【特許請求の範囲】

【請求項1】発振用ゲートと、発振用ゲートの入出力端子間に並列接続する発振子との正帰還ループを形成して発振動作を行う発振回路において、

発振用ゲートを、第1の形態で発振起動を行い、その後、発振状態を検出して第2の形態に切り換えるとき、発振状態の検出は、発振用ゲートの入力端子側で行うこととする特徴とする発振回路。

【請求項2】発振用ゲートの第1の形態は、MOSトランジスタとこれに負荷電流を供給する負荷回路とからなる負荷型インバータであり、第2の形態はCMOS型インバータであることを特徴とする請求項1記載の発振回路。

【請求項3】ゲート構成切り換え機能を有する発振用ゲートと、発振用ゲートの入出力間に並列接続する発振子との正帰還ループを形成して発振動作を行う発振回路において、

発振用ゲートの入力端子側に接続した発振検出回路と、発振検出回路の出力パルスを計数するパルス計数回路と、を設け、

パルス計数回路の出力信号によって、発振用ゲートのゲート構成切り換えを行うことを特徴とする発振回路。

【請求項4】ゲート構成切り換え機能を有する発振用ゲートと、発振用ゲートの入出力間に並列接続する発振子との正帰還ループを形成して発振動作を行う発振回路において、

発振用ゲートの入力端子側に接続した発振検出回路と、発振検出回路の出力パルスを計数するパルス計数回路と、発振用ゲートの出力端子側に接続した增幅回路と、を設け、

パルス計数回路の出力信号によって、発振用ゲートのゲート構成切り換えを行うと共に、增幅回路を介して発振パルスを取り出すことを特徴とする発振回路。

【請求項5】ゲート構成切り換え機能を有する発振用ゲートと、発振用ゲートの入出力間に並列接続する発振子との正帰還ループを形成して発振動作を行う発振回路において、

発振用ゲートの入力端子側に接続した発振検出回路と、発振検出回路の出力パルスを計数する第1のパルス計数回路と、第1のパルス計数回路よりも遅れて発振検出回路の出力パルスの計数を開始する第2のパルス計数回路と、発振用ゲートの出力端子側に接続した增幅回路と、発振検出回路の出力パルスと增幅回路側の出力パルスのいずれか一方を選択して出力する選択回路と、を設け、第1のパルス計数回路の出力信号によって、発振用ゲートのゲート構成切り換えを行い、さらに第2のパルス計数回路の出力信号によって、選択回路のパルス選択を切り換え、発振パルスを増幅回路側の出力パルスから発振検出回路の出力パルスへ切り換えて取り出すことを特徴とする発振回路。

2

【請求項6】発振検出回路は、入力しきい値電圧にヒステリシスを有するシュミット入力ゲートで構成したこととを特徴とする請求項3、請求項4、請求項5記載の発振回路。

【請求項7】パルス計数回路は、第1の端子と基準電位との間に接続した第1の容量と、第2の端子と基準電位との間に接続した第2の容量と、第1の端子と第2の端子との間に接続した第1のスイッチング手段と、第1の端子と電源端子との間に介在し互いに直列接続された第2のスイッチング手段と電流抑制手段、を具備し、

第1のスイッチング手段と第2のスイッチング手段を、入力計数パルスに同期して排他動作させ、第2の端子に現れる電圧によって出力信号を送出する様に構成したことを特徴とする請求項3、請求項4、請求項5記載の発振回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、水晶発振子またはセラミック発振子等を使用した発振回路に関し、特に低電圧動作及び低消費電流化を図ったマイクロプロセッサ等の半導体集積回路に組み込むのに好適な発振回路に関する。

## 【0002】

【従来の技術】反転増幅器の機能を有する発振用ゲートと、水晶発振子またはセラミック発振子等の発振子との正帰還ループを形成して発振動作を行う発振回路において、発振用ゲートとしてCMOSゲートを用いる場合、発振起動を行うのに少なくとも

のCMOSゲートを構成するPMOSトランジスタとNMOSトランジスタの各しきい値電圧の和以上の電源電圧が必要となり、低電圧化の障害となる。一方、例えば上記PMOSトランジスタ側を定電流源、或いは抵抗等の負荷に置き換えてNMOSインバータのゲート構成とすれば、そのNMOSトランジスタのしきい値電圧近傍の低電圧下でも発振用ゲートの動作が可能となるから、低電圧化には有効なゲート構成である。しかし、この場合NMOSトランジスタ側に貫通電流が流れることになるから、発振振幅が拡大し、発振が安定した状態においては、CMOSゲートによる場合に比べ消費電流の点で不利となる。そこで、発振用ゲートを、発振起動時には低電圧動作に適した上記NMOSインバータ等のゲート構成を動作させ、発振安定後はCMOSゲート構成のみに切り換える案が特開平4-167806号、特開平6-97732号、特開平7-154143号、特開平8-8650号公報等、多数提案されている。このうち特開平7-154143号に記載された発振回路を図3に示す。

【0003】図3において、端子X1と端子X2との間に水晶発振子またはセラミック発振子等の発振子1と帰還抵抗RFとが並列接続して設けられ、端子X1と基準

電位(以下、GNDと記す。)との間、及び端子X2とGNDとの間にそれぞれ容量C1, C2が設けられている。

【0004】またCMOSインバータを構成するPMOSトランジスタP8, NMOSトランジスタN5と、これを選択／非選択制御するためのPMOSトランジスタP7及びNMOSトランジスタN4が、電源端子VCCとPMOSトランジスタP8との間及びGNDとNMOSトランジスタN5との間にそれぞれ設けられ、NMOSトランジスタN4のゲートは、PMOSトランジスタP7のゲートに入力を接続するインバータG8の出力に接続している。

【0005】またNMOSトランジスタN7とそのドレインに接続する抵抗R2とがNMOSインバータを構成し、これを選択／非選択制御するためのPMOSトランジスタP9及びNMOSトランジスタN6が、それぞれ電源端子VCCと抵抗R2との間及びGNDとNMOSトランジスタN7との間に設けられ、NMOSトランジスタN6のゲートは、PMOSトランジスタP9のゲートに入力を接続するインバータG9の出力に接続している。そして上記CMOSインバータを構成するPMOSトランジスタP8, NMOSトランジスタN5、及びNMOSインバータを構成するNMOSトランジスタN7の各ゲートは端子X1に、各ドレインは端子X2にそれぞれ接続している。

【0006】端子X2側には、端子X2の振幅がある値以上に達した時にHighレベルの検出信号を出力する振幅検出回路と、振幅検出回路の出力に、一方の力を接続するNANDゲートG11と、一方の入力をNANDゲートG12の出力に、もう一方の入力を端子X2にそれぞれ接続し、出力を上記NANDゲートG12のもう一方の入力に接続するNANDゲートG11と、端子X2に入力を、内部クロック端子CLKに出力をそれぞれ接続するインバータG13とが設けられている。NANDゲートG12の出力は、上記PMOSトランジスタP7のゲートへ、またインバータG10を介してPMOSトランジスタP9のゲートへそれぞれ接続されている。

【0007】なお、上記インバータG13は上記公報には開示されていないが、端子X2の発振振幅を半導体集積回路の内部クロックとして取り込むことを想定すると、いずれにせよインバータG13の如く端子X2の発振振幅を受けてこれを内部クロックとして供給するためのバッファゲートが存在し、ここでは便宜上インバータG13を置いてその出力を発振回路出力、すなわち半導体集積回路の内部クロックとみなすことにする。

【0008】図3の発振回路の動作につき以下説明する。

【0009】まず電源端子VCCに電源電圧が印加された直後において、端子X2の発振振幅がまだ拡大しない状態では、振幅検出回路6の出力はLowレベルにあり、

よってNANDゲートG12の出力はHighレベルとなってこれにゲートを接続するPMOSトランジスタP7はOFF、またインバータG8出力はLowレベルとなってこれにゲートを接続するNMOSトランジスタN4もOFF状態にある。よってPMOSトランジスタP8, NMOSトランジスタN5からなるCMOSインバータは非選択状態にある。

【0010】一方、インバータG10出力はLowレベルとなってこれにゲートを接続するPMOSトランジスタP9はON、またインバータG9出力はHighレベルとなってこれにゲートを接続するNMOSトランジスタN6もON状態にあるから、抵抗R2, NMOSトランジスタN7からなるNMOSインバータ側が選択状態にある。

【0011】よって、電源電圧が印加された当初はNMOSインバータ側が動作して発振起動を行うこととなるから、低電圧下での発振起動にも適した発振ゲート構成をとることができる。

【0012】電源電圧印加後は、上記NMOSインバータと発振子1との正帰還ループによって発振動作が開始され、発振振幅が徐々に拡大して端子X2の発振振幅が所定の振幅に達すると振幅検出回路6の出力がHighレベルに遷移することになる。振幅検出回路6出力がHighレベルに遷移すると、NANDゲートG12の出力はLowレベルに反転し、PMOSトランジスタP7、及びNMOSトランジスタN4がONしてPMOSトランジスタP8, NMOSトランジスタN5からなるCMOSインバータ側は選択状態となる。一方、インバータG10出力はHighレベルとなってPMOSトランジスタP9、及びNMOSトランジスタN6がOFFし、抵抗R2, NMOSトランジスタN7からなるNMOSインバータ側は非選択状態に切り換わる。

【0013】このとき端子X1側の発振振幅が、CMOSインバータを構成するPMOSトランジスタP8, NMOSトランジスタN5のしきい値電圧Vth以上であれば、このCMOSインバータは反転増幅器として機能することができ、発振動作は維持される。すなわち、例えば端子X1側の発振振幅が高電位側に振れたときのGNDに対する端子X1電位が、NMOSトランジスタN5のしきい値電圧Vth以上であれば、NMOSトランジスタN5は能動状態となることができ、また端子X1側の発振振幅が低電位側に振れたときの電源端子VCCと端子X1との電位差が、PMOSトランジスタP8のしきい値電圧|Vth|以上であればPMOSトランジスタP8は能動状態となることができるから、端子X1側の発振振幅として上記|Vth|以上があればCMOSインバータの動作は確保されることになる。これはすなわち電源電圧として上記|Vth|以上であれば、CMOSインバータによる発振安定時の発振動作の維持は可能であることを意味している。

【0014】しかし、上記発振起動直後においては、発振振幅は極めて微小振幅状態であり、帰還抵抗RFによって端子X1、端子X2が短絡されている結果、発振用ゲートの出入力間が同電位、すなわちその論理しきい値電圧VLTに直流的にバイアスされた状態となる。もしここで発振用ゲートとして上記CMOSインバータを用いたとすると、反転增幅器として端子X1の微小振幅を増幅するためには、CMOSインバータを構成するPMOSトランジスタP8、NMOSトランジスタN5のいずれもがその直流動作点において能動状態である必要があるから、電源電圧としてはCMOSインバータを構成するPMOSトランジスタP8、NMOSトランジスタN5の各しきい値電圧|Vth|の和以上の電圧が必要となってしまう。

【0015】一方、上記NMOSインバータによる発振用ゲート構成では、端子X2側の発振振幅が高電位側に振れてNMOSトランジスタN7側がON状態となる度に、抵抗R2側から貫通電流がもたらされ、消費電流を増大させてしまう。CMOSインバータではPMOSトランジスタP8、NMOSトランジスタN5が排他的に動作するから貫通電流を抑制でき、発振安定状態における低消費電流化に有効である。

【0016】よって図1の構成によれば、発振ゲート構成を発振起動時はNMOSインバータ、発振振幅が拡大した発振安定時においてはCMOSインバータに自動的に切り換えることができ、低電圧下における発振起動と、発振安定時における低消費電流化の両立を図った発振回路も作ることができる。

#### 【0017】

【発明が解決しようとする課題】上記の如く発振用ゲートをCMOSインバータ側に切り換えたとき、発振用ゲートのゲインが変化することにより、端子X2側の発振振幅に一時的な減衰が発生する可能性がある。この様子を図4に示す。

【0018】図4は、図3における振幅検出回路6出力と、端子X2と、内部クロック端子CLKにおける動作波形の概念図を示すものである。図4において、発振起動後NMOSインバータによって発振振幅が徐々に拡大し、端子X2の振幅がインバータG13の論理しきい値電圧VLTを横切る様になった時点から、内部クロック端子CLKにはクロックパルスが現われる。その後、振幅検出回路6出力がHighレベルに遷移した時点で発振用ゲートがCMOSインバータに切り換わるが、このとき発振用ゲートのゲイン変動に伴い端子X2の振幅が図4に示す様に減衰が生じ、インバータG13の出力すなわち内部クロック端子CLKのクロックパルスに同図内a点に示す様に欠損が生じる可能性がある。また一旦クロックパルスの欠損が発生すると、再度正常なクロックパルスに復帰するまでに狭幅のパルス等の異常パルスの発生もあり得る。このようなクロックパルスの欠損が発生

すると、これをシステムクロックとして動作している様なマイクロプロセッサなどは動作異常を来すことになる。

【0019】上記クロックパルスの欠損を防ぐためには、端子X2の十分な振幅拡大を待ってから発振用ゲートの切り換えを行い、切り換え時の上記振幅減衰の影響がインバータG13出力側に及ぼない様にする必要がある。よって振幅検出回路6は、これを考慮して検出振幅を十分マージンを持った設定とする必要がある。このことは、発振起動から発振用ゲート切り換えまでの期間の増大を招き、発振起動と停止を頻繁に繰り返す様な用途においては上記NMOSインバータの動作期間が相対的に長くなり、低消費電流化の阻害要因ともなってしまう。

【0020】本発明の第1の目的は、発振用ゲートの切り換え時における端子X2側の発振振幅の減衰を低減して、上記クロックパルスの欠損を容易に防止し得る発振回路を提供することにある。

【0021】また本発明の第2の目的は、上記クロックパルスの欠損を防止しつつ、早期の発振用ゲートのCMOSゲートへの切り換わりを可能として、さらなる低消費電流化を図った発振回路を提供することにある。

#### 【0022】

【課題を解決するための手段】上記第1の目的は、端子X1側の発振振幅を検出して発振用ゲートの切り換えを行うことにより達成される。

【0023】また上記第2の目的は、端子X2と内部クロック端子CLKとの間に、端子X2側の振幅を増幅する増幅回路を設け、端子X1側の発振振幅を検出して発振用ゲート切り換えを行うことにより達成される。

【0024】上記の具体的回路構成及びその他の手段については、実施例のなかで明らかにする。

【0025】端子X2側の発振振幅は、発振用ゲートによる増幅作用によってその入力振幅となる端子X1側の発振振幅よりも常に大きい状態にある。よって端子X1側の発振振幅を検出して発振用ゲートの切り換えを行うことにより、検出振幅が同じであれば切り換わり時における端子X2側の振幅減衰をより軽度とすることができ、上記クロックパルス欠損の防止を図ることができる。

【0026】また端子X2側の微小振幅を常に増幅し得る増幅回路を設けることにより、発振用ゲート切り換わり時の端子X2側の振幅減衰の影響を受けにくくすることができるでの、より早期の発振用ゲート切り換えが可能となり、さらなる低消費電流化を図ることができる。

#### 【0027】

【発明の実施の形態】以下、本発明の第1の実施例を図1により説明する。

【0028】図1において、端子X1と端子X2との間

には図3の従来例同様、発振子1と帰還抵抗RFとが並列接続して設けられ、端子X1とGNDとの間、及び端子X2とGNDとの間にそれぞれ容量C1, C2が設けられている。

【0029】またPMOSトランジスタP2とNMOSトランジスタN2によってCMOSインバータ型の発振用ゲートが構成され、NMOSトランジスタN2とGNDとの間には制御端子CSにゲートを接続するNMOSトランジスタN1が、PMOSトランジスタP2と電源端子VCCとの間にはPMOSトランジスタP1がそれ設けられている。そしてCMOSインバータを構成しているPMOSトランジスタP2, NMOSトランジスタN2の各ゲートは端子X1に、各ドレインは端子X2にそれぞれ共通接続されている。

【0030】端子X2と電源端子VCCとの間には、端子X2に一端を接続する抵抗R1と、抵抗R1のもう一端と電源端子VCCとの間に接続するPMOSトランジスタP3とからなる負荷回路2が設けられ、PMOSトランジスタP3のONにより抵抗R1と上記NMOSトランジスタN2とでNMOSインバータが形成される様になっている。

【0031】また、端子X1に一方の入力を接続するシュミット型NANDゲートG3からなる発振検出回路3と、発振検出回路3出力にそのパルス入力端子ckを接続するパルス計数回路4とが設けられ、パルス計数回路4の出力端子qは、上記PMOSトランジスタP3のゲートへ、またインバータG1を介して上記PMOSトランジスタP1のゲートへ接続するミット型NANDゲートG3のもう一方の入力へそれぞれ接続している。

【0032】また端子X2の発振振幅はインバータG2を介して内部クロック端子CLKへ送出される。

【0033】パルス計数回路4は、一端をGNDに接続する容量C3, C4と、パルス入力端子ckにゲートを、電源端子VCCにソースをそれぞれ接続したPMOSトランジスタP4と、PMOSトランジスタP4のドレインと容量C3との間に接続する電流抑制手段5と、入力をパルス入力端子ckに接続するインバータG4と、インバータG4の出力にゲートを接続し、容量C3と容量C4との間に接続するPMOSトランジスタP6と、入力をリセット端子rに接続するインバータG7と、インバータG7の出力にゲートを接続し、容量C4と並列接続して設けられたNMOSトランジスタN3と、容量C4とPMOSトランジスタP6の接続点に入力を接続するインバータG5と、インバータG5の出力に入力を、出力端子qに出力をそれぞれ接続するインバータG6とによって構成されており、また上記電流抑制手段5は、ゲートをGNDに接続したPMOSトランジスタP5によって構成されている。

【0034】以下、本実施例の動作につき図2を参照しながら説明する。図2は本実施例の動作波形を示したもの

である。

【0035】まず発振停止状態においては、制御端子CS及びパルス計数回路4のリセット端子rと共にLowレベルとし、NMOSトランジスタN1をOFF状態に置くと共にパルス計数回路4の出力端子qをLowレベル出力として、これにゲートを接続するPMOSトランジスタP3をON状態とする。このとき端子X2は、負荷回路2により電源端子VCCの電位にバイアスされ、また端子X1側についても帰還抵抗RFによってやはり電源端子VCCの電位にバイアスされた状態にある。

【0036】またパルス計数回路4においては、NMOSトランジスタN3のONにより、容量C4は放電状態にあり、よってその端子電位はGND電位となって出力端子qはLowレベル出力となる。またシュミット型NANDゲートG3は、いずれの入力もHighレベルにあるのでLowレベルを出力しており、これを受けてPMOSトランジスタP4がONし、容量C3を電源端子VCCの電位に充電する。PMOSトランジスタP6は、インバータG4のHighレベル出力を受けてOFF状態になり、容量C3, C4端子間を遮断している。

【0037】続いて制御端子CS及びパルス計数回路4のリセット端子rと共にHighレベルとして発振起動を行うと、その後においてはまだ端子X1, 端子X2の発振振幅は微小振幅状態にあってシュミット型NANDゲートG3がこれに感応しないから、パルス計数回路4の状態に変化はなく、出力端子qはLowレベルを維持している。よってPMOSトランジスタP1はOFF、負荷回路2はON状態であり、NMOSトランジスタN1のONによって負荷回路2とNMOSトランジスタN2によるNMOSインバータが形成され、このNMOSインバータと発振子1との正帰還ループによって発振動作が開始される。

【0038】そして端子X1側の発振振幅が、シュミット型NANDゲートG3の入力しきい値電圧のヒステリシス幅を超えるまで拡大すると、シュミット型NANDゲートG3は端子X1側の発振振幅に同期した反転パルスを出し始める。これを受けてパルス計数回路4内のPMOSトランジスタP4とPMOSトランジスタP6とが交互にON/OFF動作を行い、容量C3の充電と、容量C4への電荷分配とを交互に行って容量C4の端子電圧を徐々に上昇させる。

【0039】すなわちパルス入力端子ckがLowのときは、PMOSトランジスタP4がONして容量C3への充電を行い、PMOSトランジスタP6はOFFとなって容量C3から容量C4への電荷の移動を遮断する。なお、このとき電流抑制手段5によって容量C3への充電電流ピークを抑制することができるので、輻射ノイズ低減等に有効である。PMOSトランジスタP4のチャネル長を大きくとってそれ自体に電流抑制機能を持たせても良いが、その場合はゲート容量の増大を招き、消費電

流の点で不利である。

【0040】次いでパルス入力端子c kがhighレベルとなると、逆にPMOSトランジスタP 4がOFFとなって容量C 3への充電を停止すると共に、PMOSトランジスタP 6がONとなって容量C 3の充電電荷を容量C 4側に分配する。

【0041】容量C 4の端子電圧VC 4は、容量C 3, C 4の各容量係数をそれぞれC 3, C 4、また電荷分配の回数をnとすれば、以下の理論式で表わすことができる。

【0042】

【数1】

$$VC_4 = VCC [1 - \{C_4 / (C_3 + C_4)\}^n]$$

容量C 4の端子電圧VC 4がこれを受けるインバータG 5の論理しきい値電圧VLTに到達した時点で、出力端子qはHighレベルに遷移することになるが、上式に示される様に、容量C 3, C 4の各容量係数を適当に設定することにより、容量C 4の端子電圧VC 4の上昇の割合を調整することができるので、出力端子qのHighレベルへの遷移タイミングを所望の値に設定することが可能である。

【0043】上記によりパルス計数回路4の出力端子qがHighレベルに遷移すると、これにゲートを接続するPMOSトランジスタP 3はOFFとなり、負荷回路2はOFF状態となる。一方、インバータG 1出力がLowレベルとなり、これにゲートを接続するPMOSトランジスタP 1がONして、PMOSトランジスタP 2とNMOSトランジスタN 2からなるCMOSインバータが能動状態となって、発振用ゲートがNMOSインバータからCMOSインバータ型に切り換えられる。またシュミット型NANDゲートG 3の一入力がlowとなるから、シュミット型NANDゲートG 3出力はHighレベル固定となる。よってパルス計数回路4はそれ以降動作を停止するが、容量C 4の充電電荷は保持されるのでパルス計数回路4はHigh出力を維持する。パルス計数回路4の動作を停止したことにより、発振用ゲート切り換え後の無効な電流消費を低減することができる。なお、パルス計数回路4の動作を停止しない場合は、シュミット型NANDゲートG 3の入力をいずれも端子X 1に接続すれば良い。

【0044】このとき発振用ゲートの切り換え前後のゲイン変動によって、図2に示す様に端子X 2側の振幅に若干の減衰はあるものの、前記図4に示された様な内部クロック端子CLKにおけるクロックパルス欠損にまでは至らない。これは、発振用ゲートの入力側に相当する端子X 1の発振振幅を検出して切り換えたことにより、CMOSインバータに切り換えられた時点の端子X 1側の発振振幅を、CMOSインバータを構成するPMOSトランジスタP 2及びNMOSトランジスタN 2を十分能動状態にし得るだけの振幅とすることができたことによ

る。なお、切り換え時における上記端子X 2側の（若干の）振幅減衰は、帰還抵抗RFが通常MΩオーダーの高抵抗であるため、端子X 1側の発振振幅にはほとんど影響を及ぼさず、よって内部クロック端子CLKに間断のない安定したクロックパルスを送出することができる。

【0045】以上の如く本実施例によれば、図1の従来例同様の動作電圧の低電圧化と低消費電流化の効果に加え、さらに発振用ゲート切り換え時の内部クロック安定化に有効な発振回路を得ることができる。またパルス計数回路4内の容量C 3, C 4設定等により、容易に発振用ゲート切り換えタイミングを調整できるので、発振用ゲート切り換えタイミングの最適化によるさらなる低消費電流化を容易に図ることのできる発振回路が得られる。

【0046】本発明の第2の実施例を図5に示す。

【0047】本実施例においては、上記図1に示した第1の実施例におけるインバータG 2に換えて増幅回路7を設けている。

【0048】また、シュミット型NANDゲートG 3に換えてシュミット型インバータG 14で発振検出回路3を、PMOSトランジスタP 3と抵抗R 1に換えてPMOSトランジスタP 10で負荷回路2をそれぞれ構成している。但し、これらは図1と本質的に異なるものではなく、例えばPMOSトランジスタP 10はそのON抵抗で図1における抵抗R 1を代用しようとするものであり、図1の構成で置き換えるても良い。

【0049】増幅回路7は、端子X 2に一端を接続したカッピング容量C 5と、カッピング容量C 6の組み合いで一端にゲートを、内部クロック端子CLKにドレインを、GNDにソースをそれぞれ接続したNMOSトランジスタN 8と、GNDにゲートを、内部クロック端子CLKにドレインを、電源端子VCCにソースをそれぞれ接続したPMOSトランジスタP 11と、NMOSトランジスタN 8のゲートとドレインとの間に接続した抵抗R 3とによって構成されている。

【0050】なおパルス計数回路4については、図1に示したものと同構成であり、具体的な回路構成の記載を省略した。

【0051】本実施例における動作は、基本的には上記図1に示す第1の実施例同様であるが、増幅回路7の採用により、以下の特徴を有する。

【0052】すなわち増幅回路7は、PMOSトランジスタP 11を負荷MOSとしたNMOSインバータの構成をとっているため低電圧動作に対応でき、またカッピング容量C 5によって端子X 2側の直流動作点の影響を受けすことなく、抵抗R 3によってその直流動作点をNMOSインバータとしての論理しきい値電圧VLTにバイアスすることができるので、高ゲインの反転増幅器として機能することができる。よって端子X 2の直流動作点によらず、微小振幅を常に増幅して内部クロック端子C

11

LKに送出することができるので、発振用ゲートの切り換え時の端子X2の振幅減衰に対しても、安定したクロックパルス出力を得ることができる。よって早期の発振用ゲートの切り換えが可能となり、発振用ゲートにおける消費電流低減を図ることができる。

【0053】なお、增幅回路7の構成は図5に限定されるものではなく、上記機能を有するものであれば他の構成によても良い。また增幅回路7を複数段設けて内部クロックを得る様にしても良い。

【0054】本実施例によれば、前記第1の実施例と同様の効果に加え、さらなる内部クロックの安定化と、発振用ゲートの早期切り換えによる発振用ゲートの低消費電流化とを図ることのできる発振回路が得られる。

【0055】本発明の第3の実施例を図6に示す。

【0056】本実施例においては、上記図5の第2の実施例に加え、パルス計数回路8と、クロック選択回路9とを設けている。

【0057】パルス計数回路8は、パルス計数回路4と同様の回路構成によるものであり、そのリセット端子rはパルス計数回路4の出力端子qに接続し、パルス入力端子c kはパルス計数回路4のパルス入力端子c kと共に発振検出回路3を構成するシュミット型インバータG14の出力に接続している。またその出力端子qは、増幅回路7内PMOSトランジスタP11のゲートに接続すると共に、クロック選択回路9の制御入力となっている。

【0058】クロック選択回路9は、増幅回路7の出力に入力を全部クロック端子CLKに接続するクロックドインバータG16と、発振検出回路3の出力に人力を、内部クロック端子CLKに出力をそれぞれ接続するクロックドインバータG17と、クロックドインバータG17の制御入力に入力を、クロックドインバータG16の制御入力に出力をそれぞれ接続するインバータG15とによって構成され、インバータG15の入力端子を制御入力端子としてパルス計数回路8の出力端子qに接続している。なお、クロックドインバータG16, G17は、制御入力にHighレベルの信号が与えられたとき、インバータとして機能し、制御入力がLowレベルにあるときは、出力がハイインピーダンス状態となっているものとする。

【0059】以下、本実施例の動作について説明する。

【0060】図1の第1の実施例同様、制御端子CS及びパルス計数回路4のリセット端子rが共にLowレベルにある発振起動前においては、端子X1, X2は負荷回路2によってHighレベルにバイアスされ、またパルス計数回路4はリセット状態にあってLowレベルを出し、これを受けてパルス計数回路8もリセット状態に置かれやはりLowレベルを出力している。よってパルス計数回路8の出力端子qをゲートに接続するPMOSトランジスタP11はON状態にあり、増幅回路7におけるNM

12

OSインバータは能動状態に置かれる。またクロック選択回路9においては、クロックドインバータG16側の制御入力がHighとなって、クロックドインバータG16がインバータとして機能する状態にあり、クロックドインバータG17側は制御入力がLowであるため出力ハイインピーダンス状態となっている。

【0061】次いで制御端子CS及びパルス計数回路4のリセット端子rを共にHighレベルとして発振起動を行うと、第1の実施例の場合同様、負荷回路2とNMOS

トランジスタN2によるNMOSインバータ構成の発振用ゲートによって発振動作が開始される。そしてこの発振起動直後の端子X2側の微小発振振幅は、増幅回路7によって増幅され、クロックドインバータG16を介して内部クロック端子CLKに送出される。

【0062】やがて端子X1側の振幅が、シュミット型インバータG14の入力しきい値電圧のヒステリシス幅を超えるまで拡大すると、端子X1側の振幅に同期して発振検出回路3から反転パルスが出力され、パルス計数回路4がこれを計数して所定のパルス数を計数した時点でその出力端子qをHighレベルに遷移させる。

【0063】パルス計数回路4の出力端子qがHighレベルに遷移すると、第1の実施例の場合同様、負荷回路2がOFF状態となって発振用ゲートがPMOSトランジスタP2, NMOSトランジスタN2からなるCMOSインバータに切り換えられるが、前記図5の第2の実施例同様、増幅回路7によって上記発振用ゲート切り換えの影響を受けることなく、内部クロック端子CLKにはクロックパルスが供給される。

【0064】また上記パルス計数回路4の出力端子qのHigh遷移を受けて、パルス計数回路8が発振検出回路3の出力パルスの計数を開始する。そして所定のパルス数を計数した時点でその出力端子qをHighレベルに遷移させ、これによって増幅回路7内PMOSトランジスタP11をOFFすると共に、クロックドインバータG17側を能動状態に切り換え、発振検出回路3側からの発振パルスを内部クロック端子CLKに送出する。なお、このときクロックドインバータG16側の制御入力はLowとなって、クロックドインバータG16出力はハイインピーダンス状態に切り換わっている。

【0065】上記の如く、増幅回路7側から発振検出回路3側にクロックパルス源を切り換えることにより、増幅回路7における消費電流を削減することができる。これは、図5、図6に示した様に増幅回路7の低電圧動作対応のため、NMOSインバータ型のゲート構成等をとった場合などの発振回路の消費電流低減に極めて効果的である。

【0066】また発振用ゲートの切り換えを行った後、再度発振検出回路3出力パルスを計数して上記クロックパルス源の切り換えを行うことにより、発振用ゲートの切り換えに伴う端子X1側の振幅減衰によって発振検出

13

回路3出力パルスの欠損が発生したとしても、これが内部クロック端子CLKに送出されるのを防止することができる。

【0067】またマイクロプロセッサなどに搭載された発振回路においては、外部クロックを入力して使用される場合があるが、この場合、通常外部クロックは発振用ゲートの入力端子側すなわち端子X1側に入力される。発振用ゲートは低消費電流化の観点からは可能な限りその電流駆動能力を絞り込む必要があるが、上記外部クロックの入力モードがあると、外部クロックに追随して端子X2側の浮遊容量等の負荷を駆動せねばならず、発振用ゲートの低消費電流化を図る上での規制要因となる。しかし、図6に示す本実施例の構成によれば、最終的に発振検出回路3側の出力パルスが内部クロックとして取り込まれることになるから、発振用ゲートは上記外部クロック入力モードを考慮することなく、独立に最適化を図ることができ、低消費電流化に有利である。

【0068】本実施例によれば、前記第1、第2の実施例の効果に加えさらに低消費電流化を図った発振回路を得ることができる。また本実施例によれば、端子X1側に外部クロックを入力する用途にも好適な発振回路を得ることができる。

【0069】本発明の第4の実施例を図7に示す。

【0070】図7においては、互いのゲートを端子X1に、ドレインを端子X2にそれぞれ接続したPMOSトランジスタP13、NMOSトランジスタN10によってCMOSインバータ型の発振用ゲートが構成され、PMOSトランジスタP13と電源端子VCCとの間にはゲートをインバータG18を介して制御端子CSに接続するPMOSトランジスタP12が、NMOSトランジスタN10とGNDとの間にはNMOSトランジスタN9がそれぞれ接続している。また端子X2に一端を接続した抵抗R4と、抵抗R4のもう一端とGNDとの間に接続したNMOSトランジスタN11とによって負荷回路10が構成されている。そして、パルス計数回路4の出力端子qは、上記NMOSトランジスタN9のゲートに、またインバータG19を介してNMOSトランジスタN11のゲート及びシムミット型NANDゲートG3の一入力にそれぞれ接続している。上記以外は図1の第1の実施例と同構成であるため、説明は省略する。

【0071】図1の第1の実施例においては、発振起動時はNMOSインバータ型の発振用ゲート構成をとったが、図7においてはこれをPMOSインバータ型の発振用ゲート構成としている。すなわち、発振起動時パルス計数回路4の出力端子qはLowレベルにあるから、NMOSトランジスタN9がOFF、またインバータG19出力はHighとなってこれにゲートを接続するNMOSトランジスタN11がONし、PMOSトランジスタP13と負荷回路10からなるPMOSインバータが能動状態となる。そして端子X1の発振振幅が拡大して、パル

14

ス計数回路4の出力端子qがHighレベルに遷移すると、NMOSトランジスタN9がON、またインバータG19出力がLowとなってNMOSトランジスタN11がOFFし、発振用ゲートはPMOSトランジスタP13、NMOSトランジスタN10からなるCMOSインバータ構成に切り換わる。

【0072】上記の様に図7の構成によれば、PMOSインバータによる構成を用いて前記図1の第1の実施例と同様の動作を行うことができる。これは図5、図6に示す第2、第3の実施例にも適用することができる。

【0073】本実施例によれば、前記第1の実施例と同様の効果を有する発振回路を得ることができる。

【0074】

【発明の効果】本発明によれば、発振用ゲートの入力端子側の発振振幅を検出して発振用ゲート構成の切り換えを行ったことにより、切り換え時の出力端子側の発振振幅減衰を低減することができ、クロックパルスの欠損を容易に防止し得る発振回路を得ることができる。

【0075】また本発明によれば、增幅回路7を設けたことで早期の発振用ゲート構成切り換えが可能となり、さらなる発振用ゲートの低消費電流化を図った発振回路を得ることができる。

【0076】また本発明によれば、発振安定後のクロックパルス源を発振用ゲート出力から、発振検出回路3出力側に切り換えたことにより、増幅回路7での消費電流削減と、外部クロック入力モードと無関係に発振用ゲートの最適化を図ることのできる発振回路を得ることができます。

【図面の簡単な説明】

30 【図1】本発明の第1の実施例の構成を示す回路図。

【図2】本発明の第1の実施例の動作を示す電圧波形図。

【図3】従来の構成を示す回路図。

【図4】従来の動作を示す電圧波形図。

【図5】本発明の第2の実施例の構成を示す回路図。

【図6】本発明の第3の実施例の構成を示す回路図。

【図7】本発明の第4の実施例の構成を示す回路図。

【符号の説明】

1…発振子、2、10…負荷回路、3…発振検出回路、4、8…パルス計数回路、5…電流抑制手段、6…振幅検出回路、7…増幅回路、9…クロック選択回路、VC…電源端子、CS…制御端子、CLK…内部クロック端子、X1、X2…端子、RF…帰還抵抗、R1、R2、R3、R4…抵抗、C1、C2、C3、C4…容量、C5…カップリング容量、P1、P2、P3、P4、P5、P6、P7、P8、P9、P10、P11、P12、P13…PMOSトランジスタ、N1、N2、N3、N4、N5、N6、N7、N8、N9、N10、N11…NMOSトランジスタ、G1、G2、G4、G5、G6、G7、G8、G9、G10、G13、G1

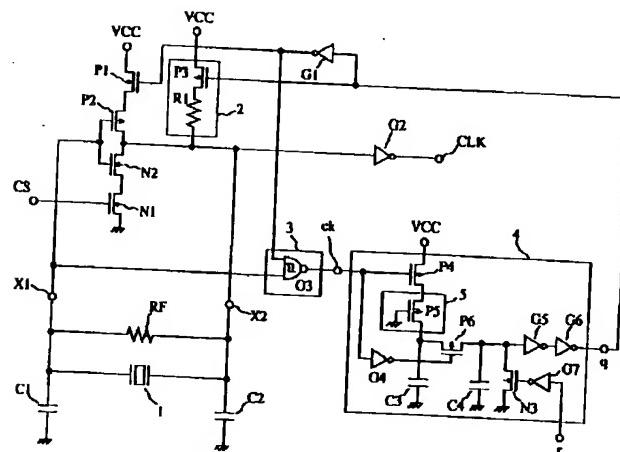
15

5, G18, G19…インバータ、G3…シユミット型  
NANDゲート、G11, G12…NANDゲート、G

16

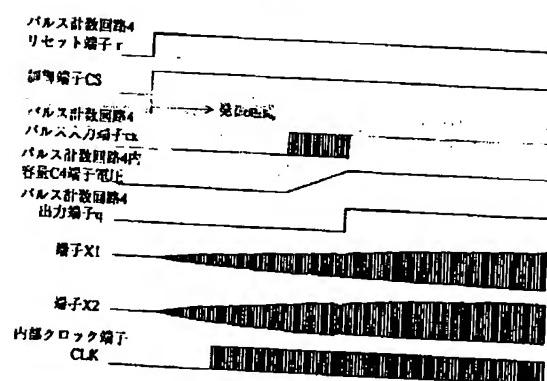
14…シユミット型インバータ、G16, G17…クロ  
ックドインバータ。

【図1】

図  
1

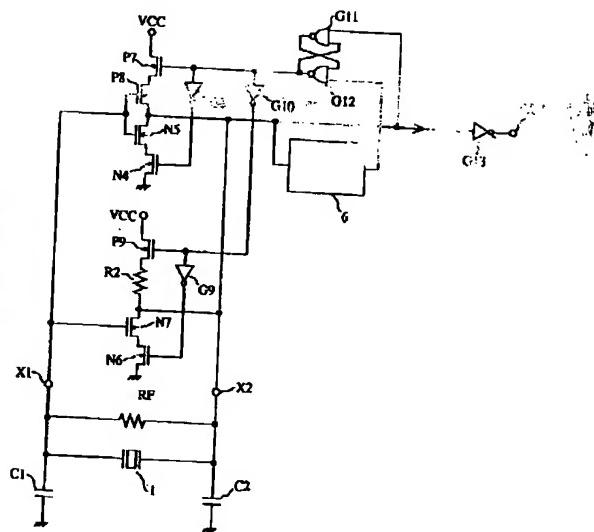
【図2】

図 2



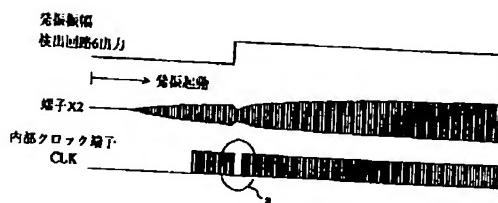
【図3】

図 3



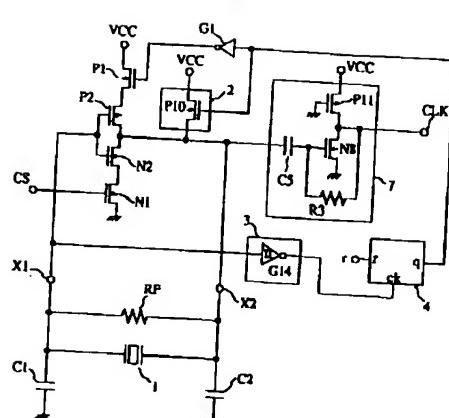
【図4】

図 4



【図5】

図5



【図7】

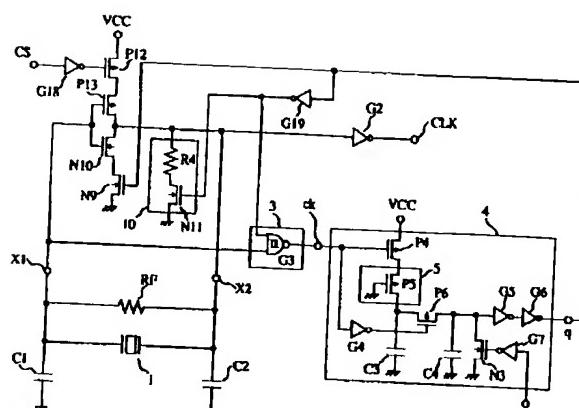


図7

【図6】

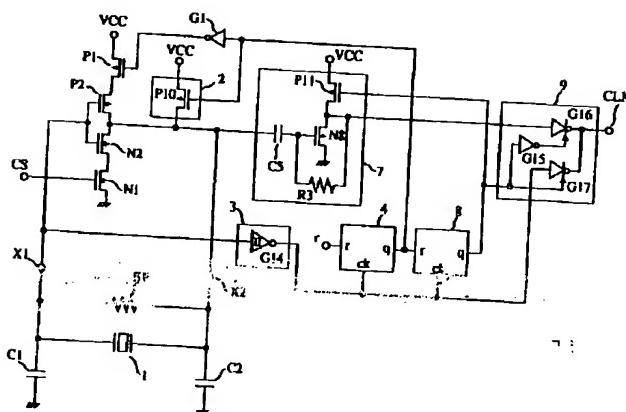


図6

フロントページの続き

(72)発明者 三瓶 忠

茨城県日立市幸町三丁目1番1号 株式会  
社日立製作所日立工場内

(72)発明者 小池 勝則

茨城県日立市幸町三丁目2番1号 日立工  
ンジニアリング株式会社内

(72)発明者 菅井 賢

茨城県日立市幸町三丁目1番1号 株式会  
社日立製作所日立工場内

(72)発明者 木田 博之

茨城県日立市幸町三丁目1番1号 株式会  
社日立製作所日立工場内

Fターム(参考) 5J079 BA24 BA39 BA41 EA04 EA11

EA15 EA16 FA05 FA14 FA21

FB01 FB03 FB04 FB20 FB32

FB34 FB37 FB48 GA05 GA09

GA14 GA18 GA19 JA01 JA06

KA01